

Тема 1: «Микропроцессорные системы: определение, структура, типы».

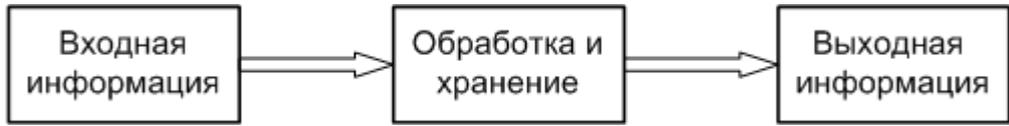


Рис. 1.1

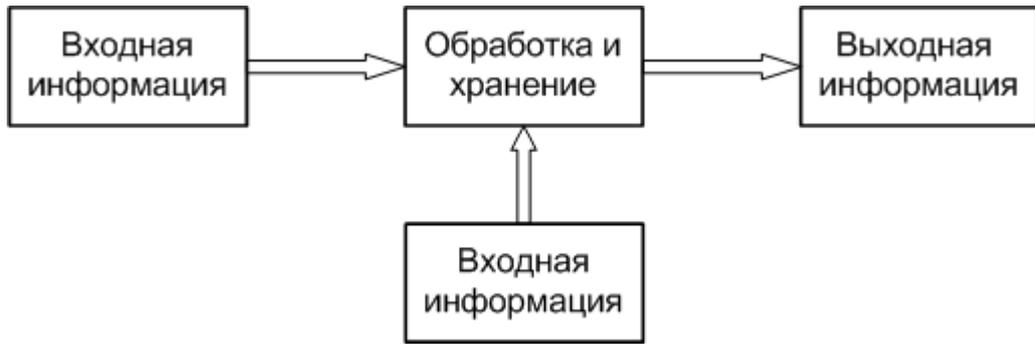


Рис. 1.2.

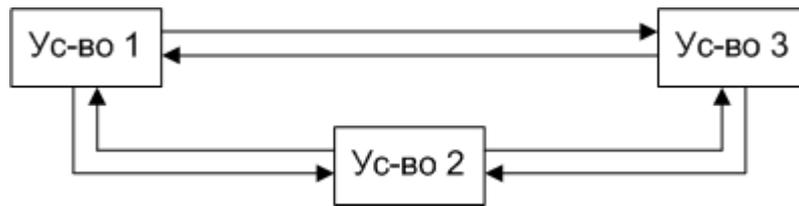


Рис. 1.3.



Рис. 1.4.

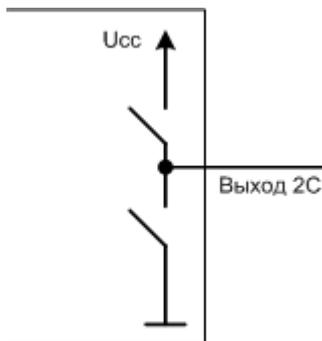


Рис. 1.5.

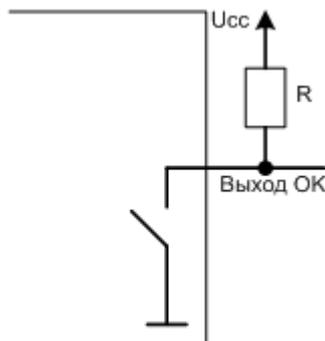


Рис. 1.6.

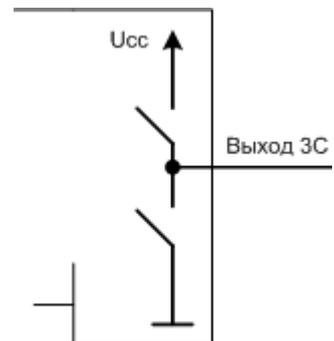


Рис. 1.7.



Рис. 1.8.

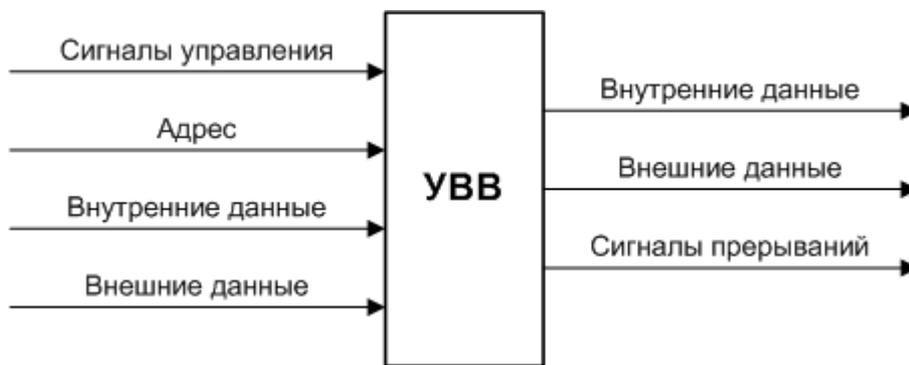


Рис. 1.9.

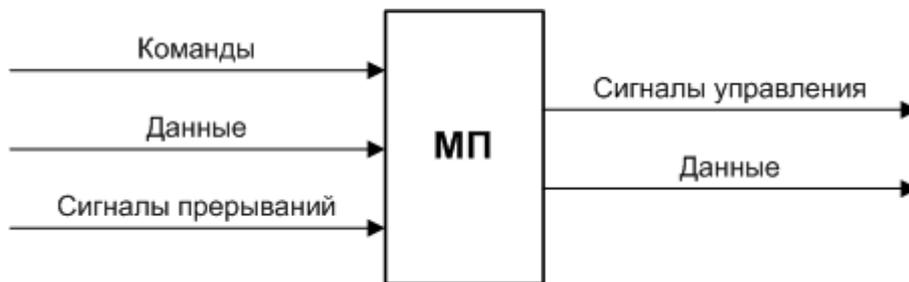


Рис. 1.10.

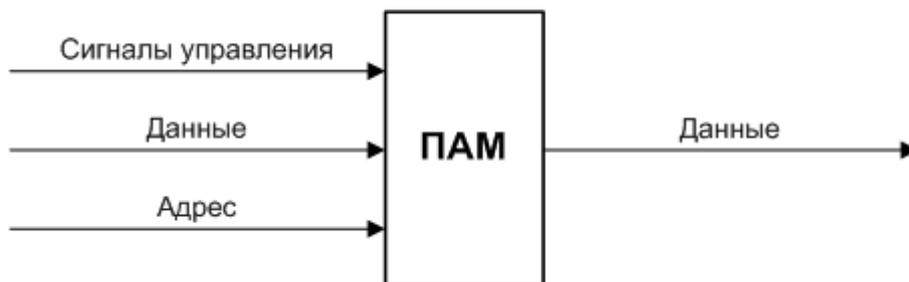


Рис. 1.11.

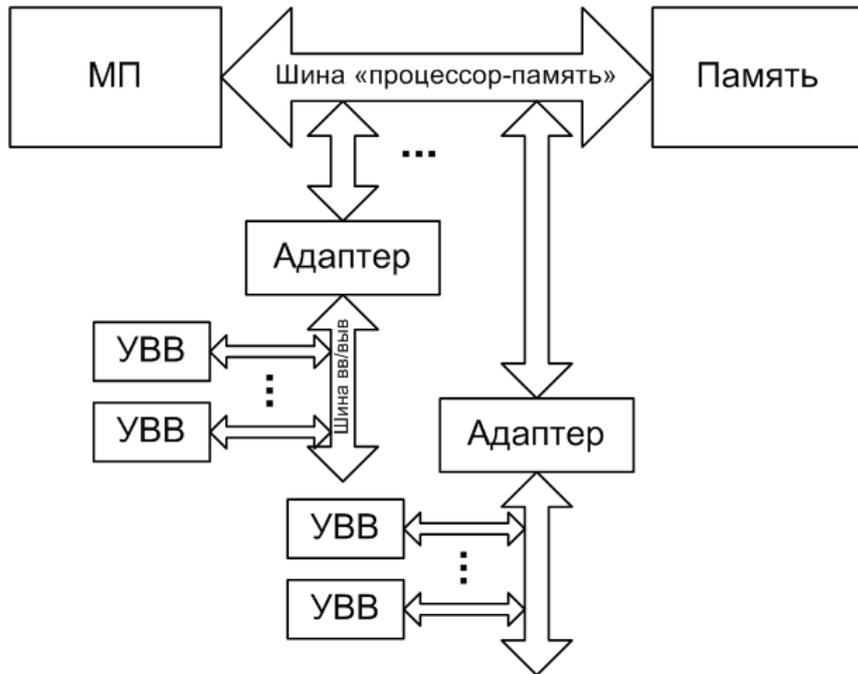


Рис. 1.12.

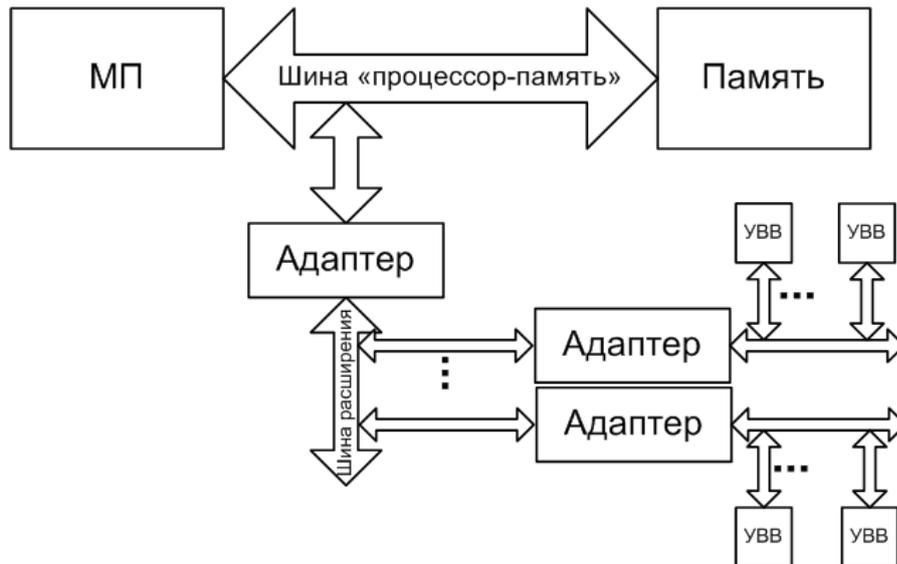


Рис. 1.13.

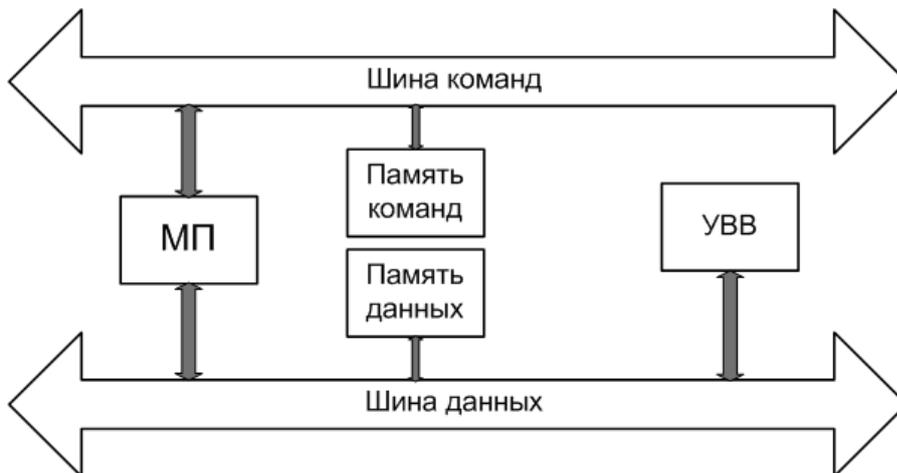


Рис. 1.14.

Тема 2: «Организация обмена информацией в МПС»

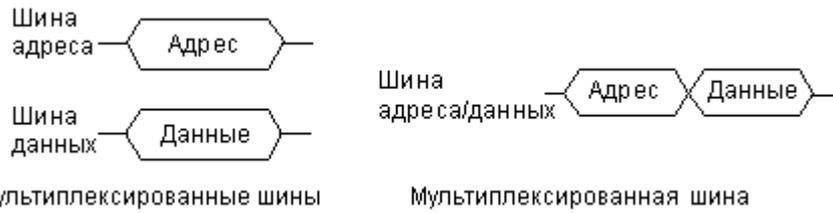


Рис. 2.1. Мультиплексированные и немультплексированные шины

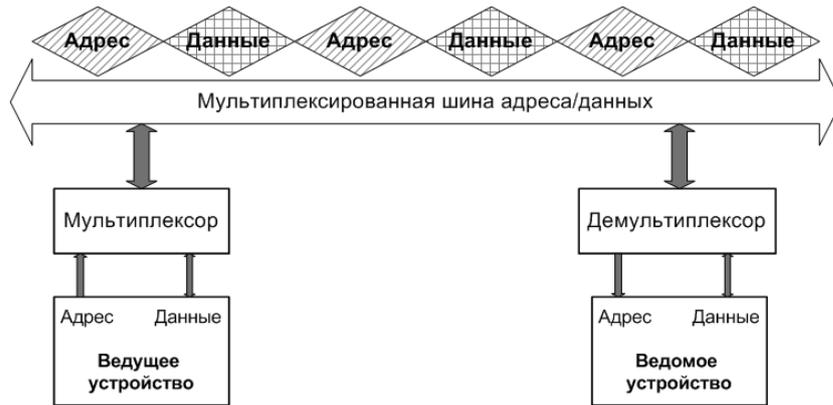


Рис. 2.2. Организация мультиплексированных шин

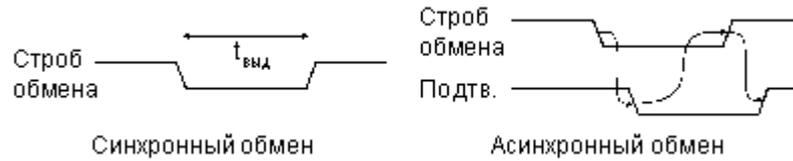


Рис. 2.3. Асинхронный и синхронный обмен

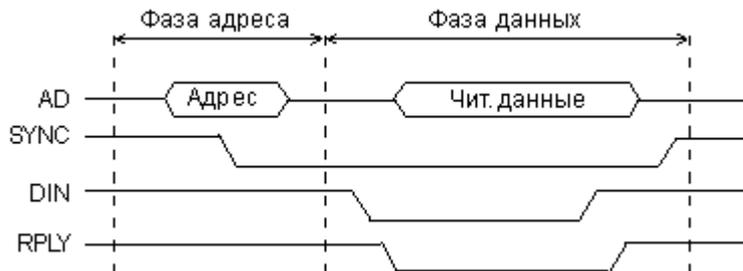


Рис. 2.4. Цикл чтения на Q-bus



Рис. 2.5. Цикл записи на Q-bus

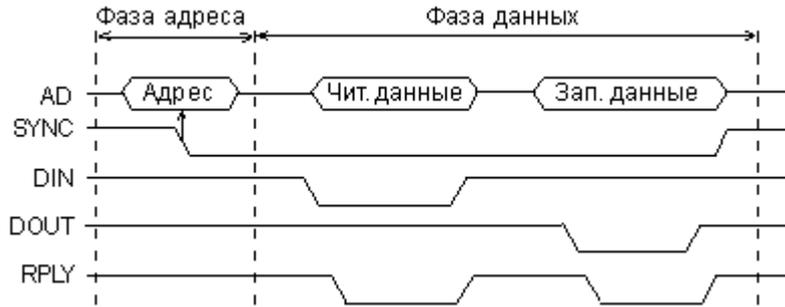


Рис. 2.6. Цикл «ввод-пауза-вывод» на магистрали Q-bus.



Рис. 2.7. Цикл чтения из УВВ на магистрали ISA



Рис. 2.8. Цикл записи в УВВ на магистрали ISA

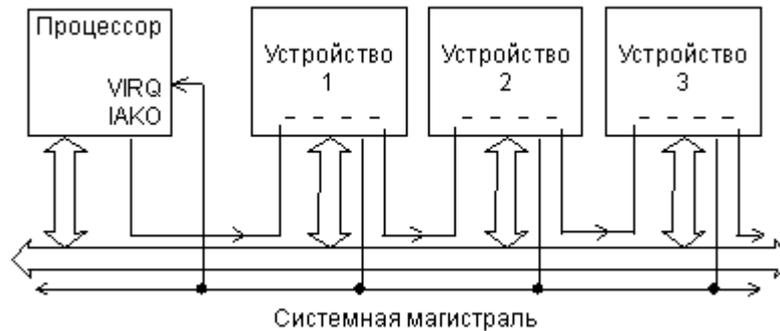


Рис. 2.9. Организация шин при векторных прерываниях

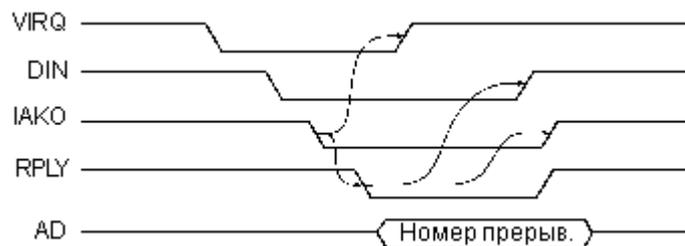


Рис. 2.10. Временная диаграмма векторного прерывания

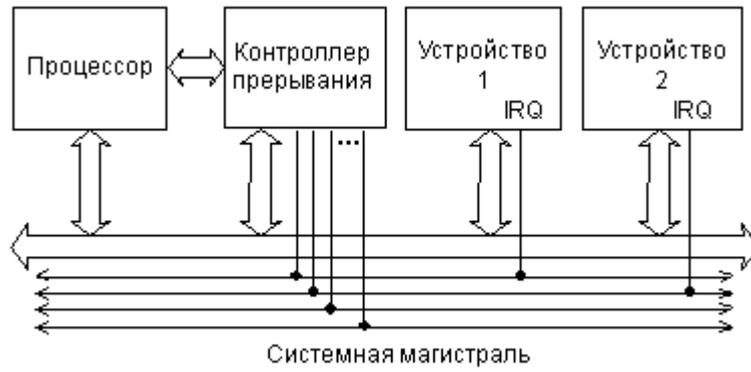


Рис. 2.11. Организация шин при радиальных прерываниях

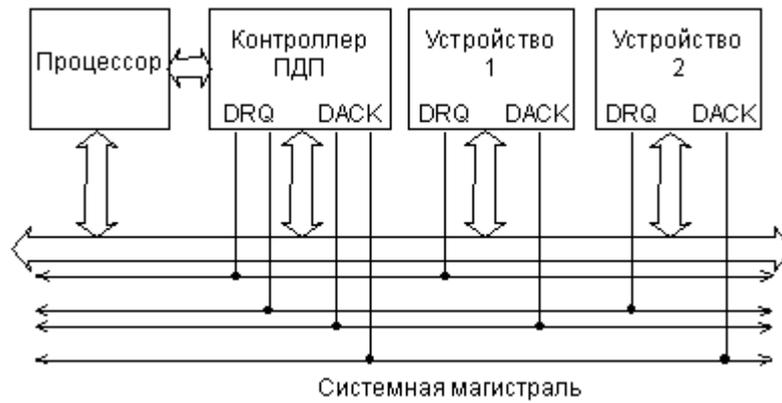


Рис. 2.12. Структура связей при ПДП на магистрали ISA.



Рис. 2.13. Временная диаграмма при ПДП на магистрали ISA



Рис. 2.14. Распространение сигналов во внешних шинах МП.

Тема 3: «Шины: арбитраж и повышение эффективности работы»

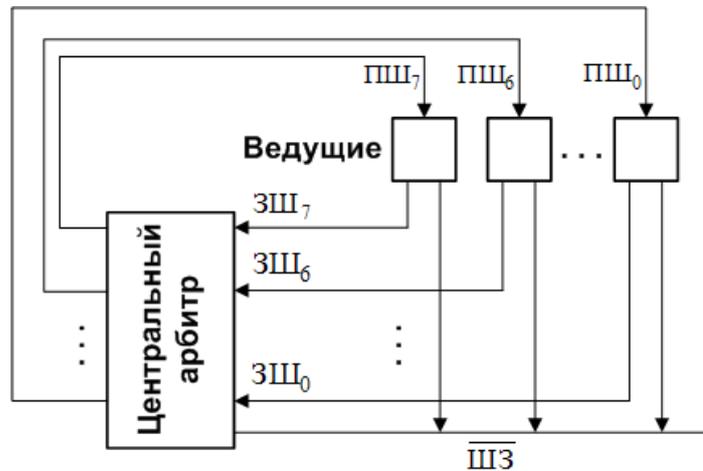


Рис. 3.1.

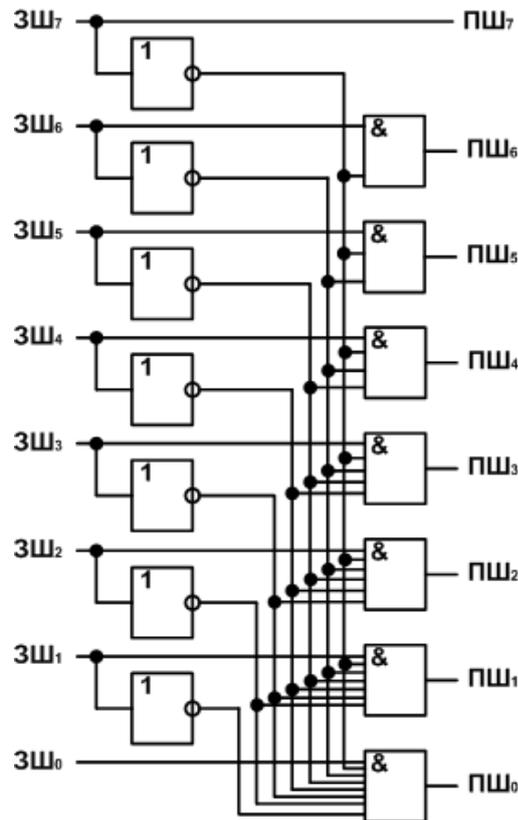


Рис. 3.2. Реализация статических приоритетов.

$$\begin{aligned}
 ПШ_7 &= ЗШ_7; \\
 ПШ_6 &= \overline{ЗШ_7} \wedge ЗШ_6; \\
 ПШ_5 &= \overline{ЗШ_7} \wedge \overline{ЗШ_6} \wedge ЗШ_5; \\
 ПШ_4 &= \overline{ЗШ_7} \wedge \overline{ЗШ_6} \wedge \overline{ЗШ_5} \wedge ЗШ_4; \\
 ПШ_3 &= \overline{ЗШ_7} \wedge \overline{ЗШ_6} \wedge \overline{ЗШ_5} \wedge \overline{ЗШ_4} \wedge ЗШ_3; \\
 ПШ_2 &= \overline{ЗШ_7} \wedge \overline{ЗШ_6} \wedge \overline{ЗШ_5} \wedge \overline{ЗШ_4} \wedge \overline{ЗШ_3} \wedge ЗШ_2; \\
 ПШ_1 &= \overline{ЗШ_7} \wedge \overline{ЗШ_6} \wedge \overline{ЗШ_5} \wedge \overline{ЗШ_4} \wedge \overline{ЗШ_3} \wedge \overline{ЗШ_2} \wedge ЗШ_1; \\
 ПШ_0 &= \overline{ЗШ_7} \wedge \overline{ЗШ_6} \wedge \overline{ЗШ_5} \wedge \overline{ЗШ_4} \wedge \overline{ЗШ_3} \wedge \overline{ЗШ_2} \wedge \overline{ЗШ_1} \wedge ЗШ_0;
 \end{aligned}$$

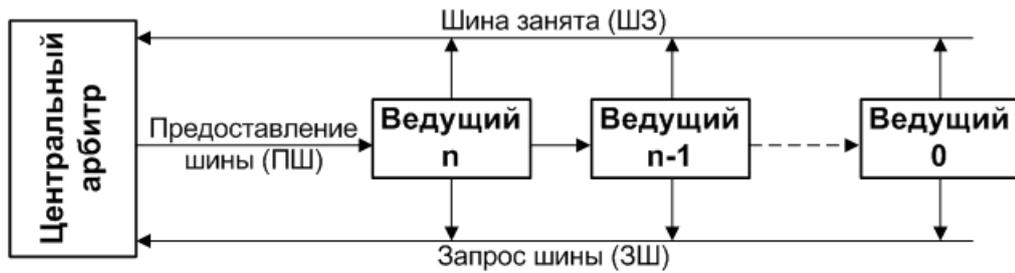


Рис. 3.3. Последовательный арбитраж

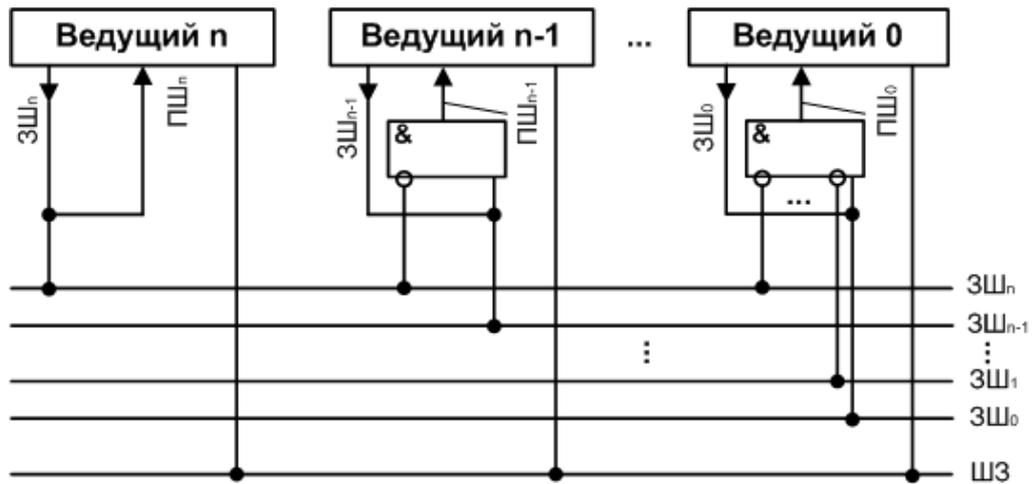


Рис. 3.4. Децентрализованный параллельный арбитраж

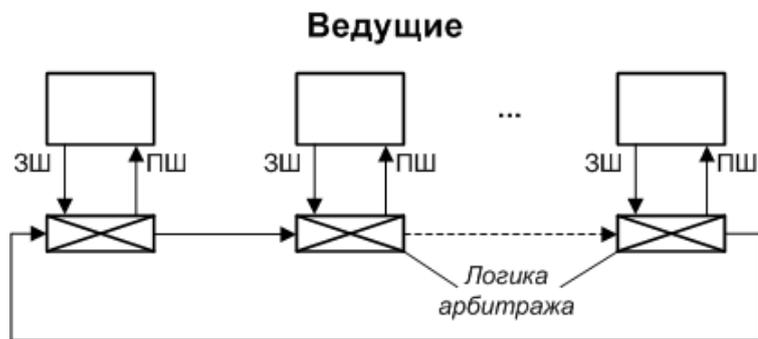


Рис. 3.5. Кольцевая схема

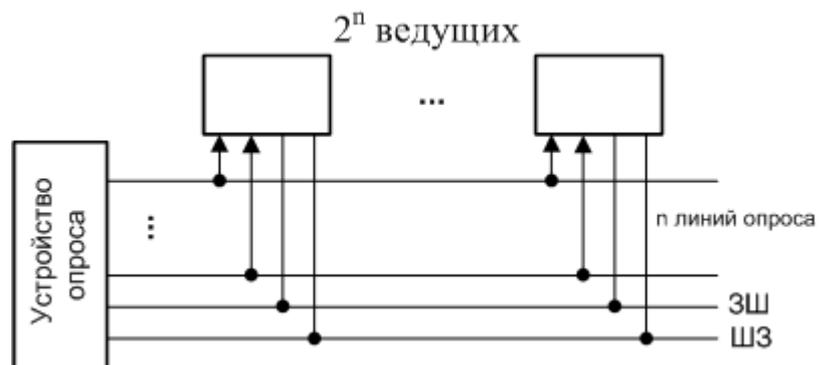


Рис. 3.6. Централизованный опрос ведущих.

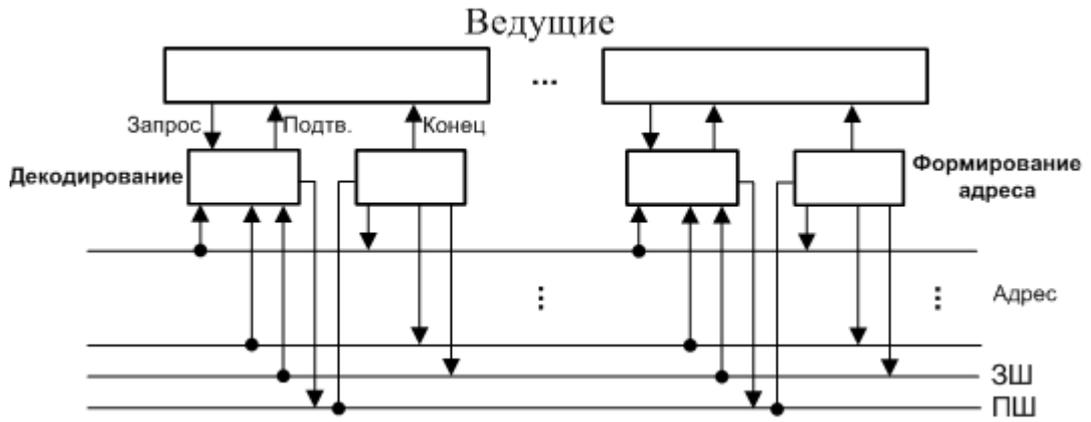


Рис. 3.7. Децентрализованный опрос.

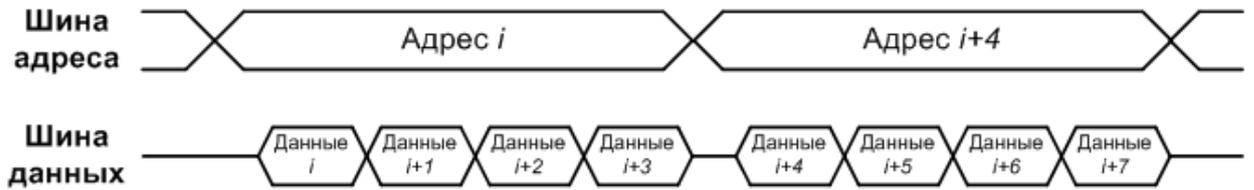


Рис. 3.8. Пакетный режим передачи данных

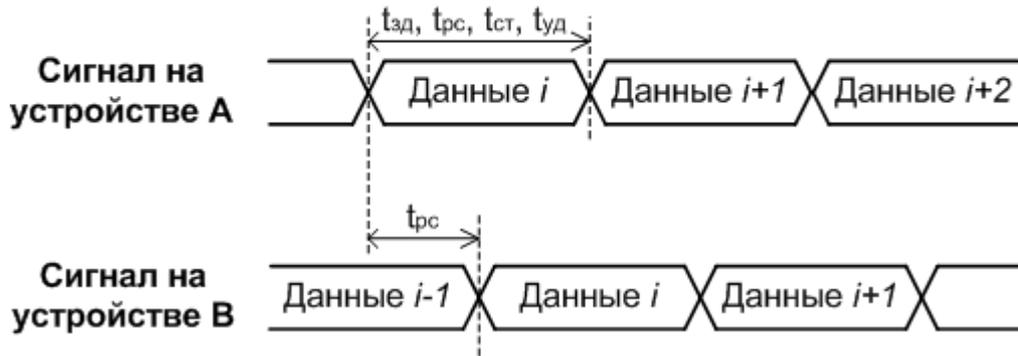


Рис. 3.9. Конвейеризация транзакций

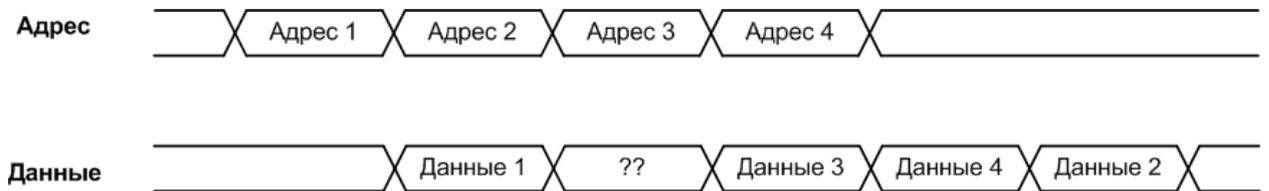


Рис. 3.10. Расщепление транзакций

Тема 4: «Основные элементы МПС: МП, ПАМ, УВВ»

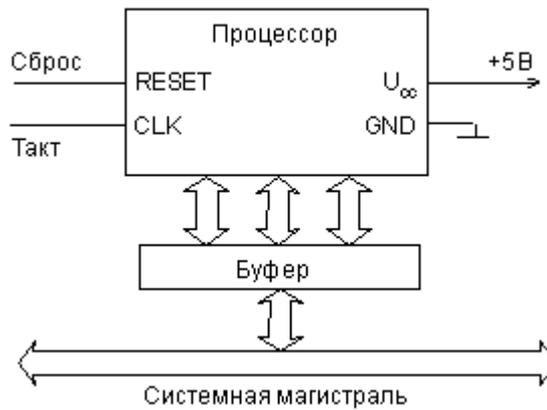


Рис. 4.1. Структура Микропроцессора

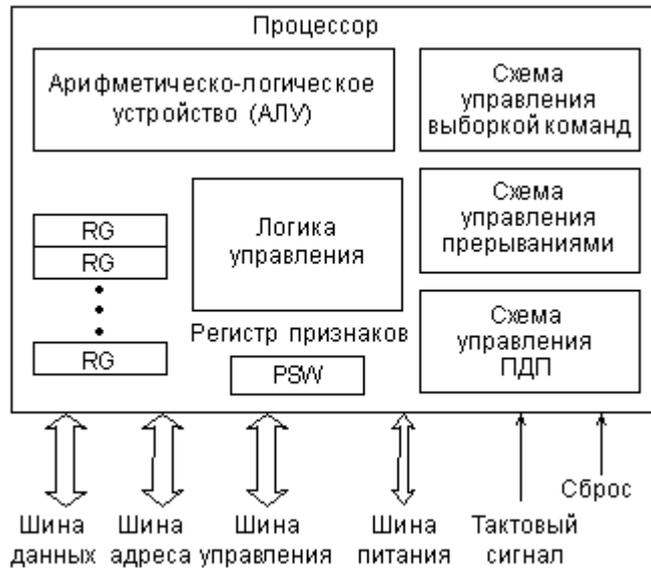


Рис. 4.2 Функциональная структура МП

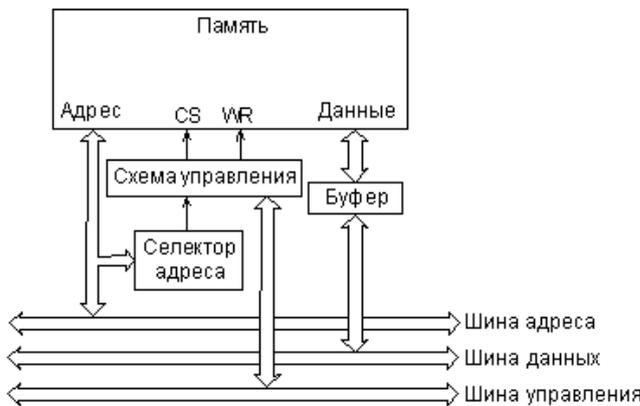


Рис. 4.3. Схема подключения памяти

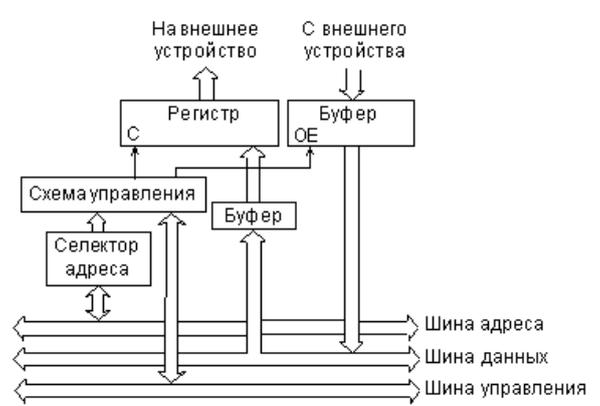


Рис. 4.4. Схема подключения УВВ

Тема 5: «Микроконтроллеры. Основы организации»

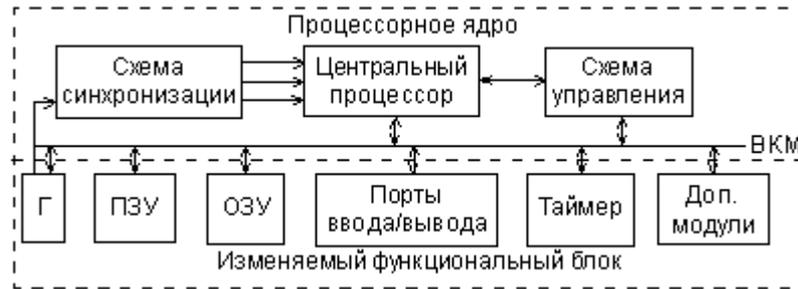


Рис. 5.1. Типовая структура МК.

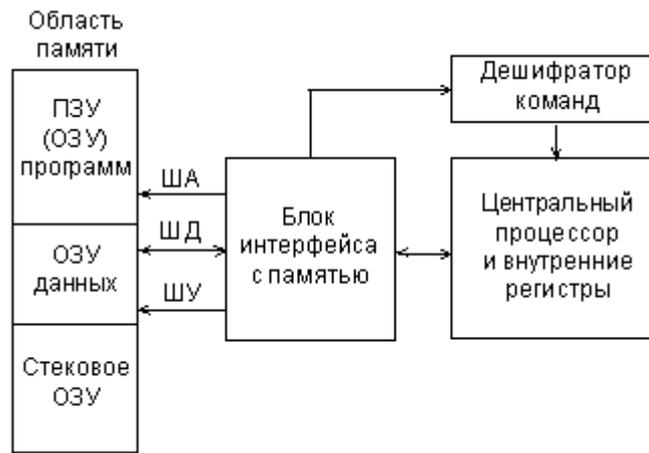


Рис. 5.2. Структура МК с фон-неймановской архитектурой.

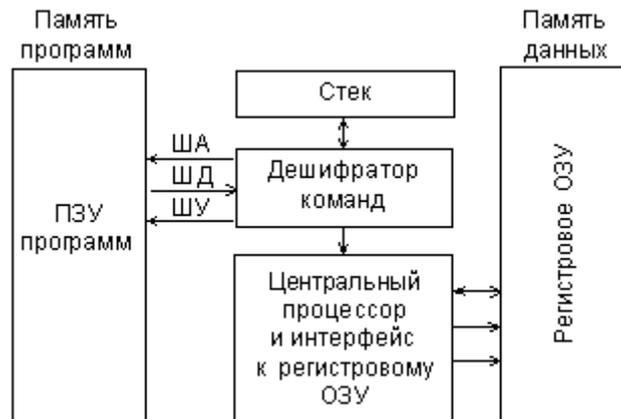


Рис. 5.3. Структура МК с гарвардской архитектурой.

Тема 6: «Внутренние и внешние связи в микроконтроллерах»

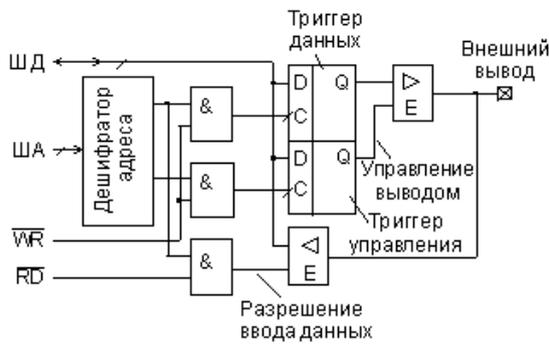


Рис. 6.1. Схема двунаправленного порта ввода/вывода

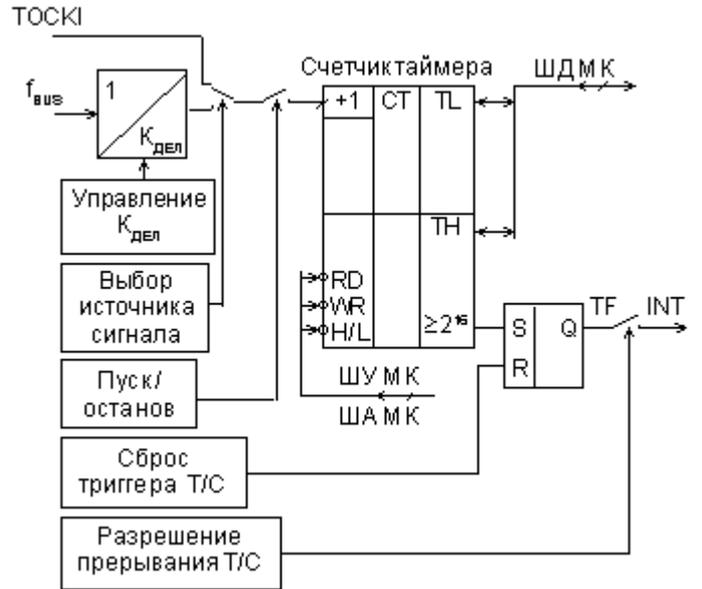


Рис. 6.2. Схема таймера-счетчика

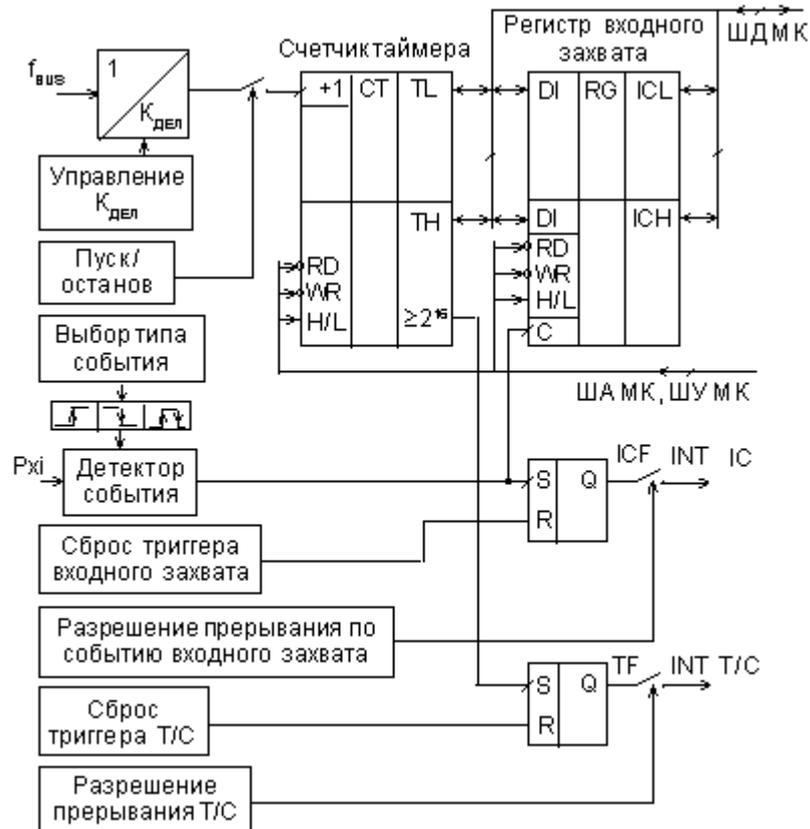


Рис. 6.3. Канал входного канала захвата таймера-счетчика

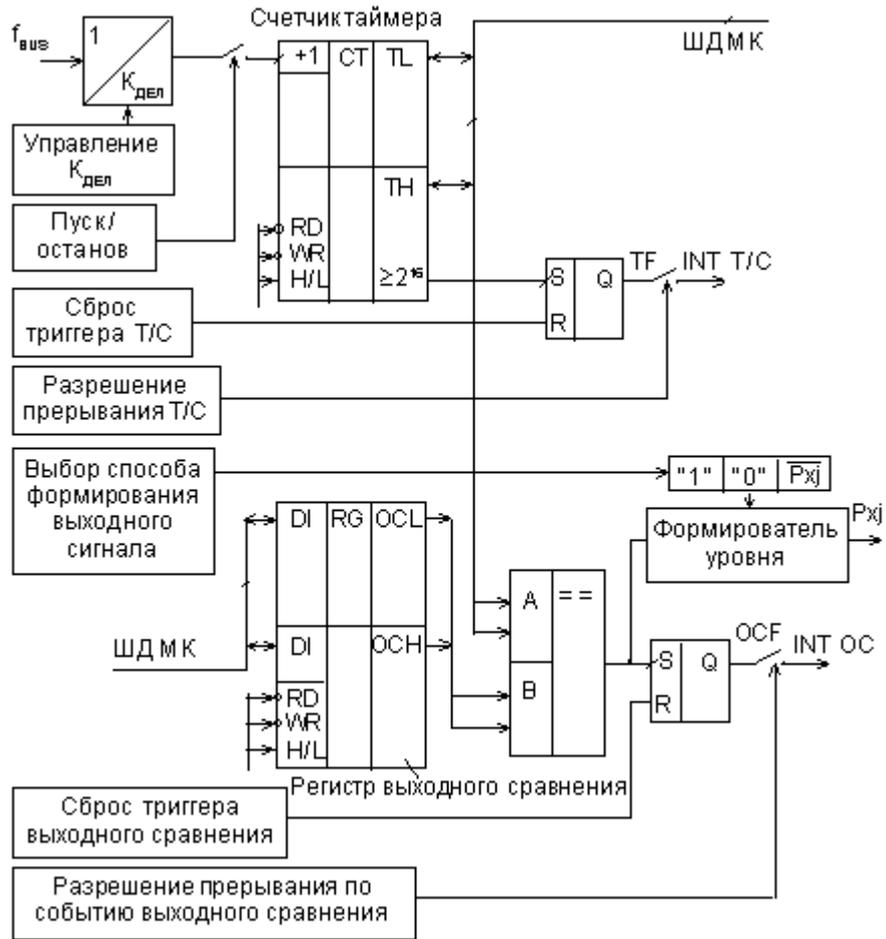


Рис. 6.4. Схема выходного канала сравнения таймера-счетчика

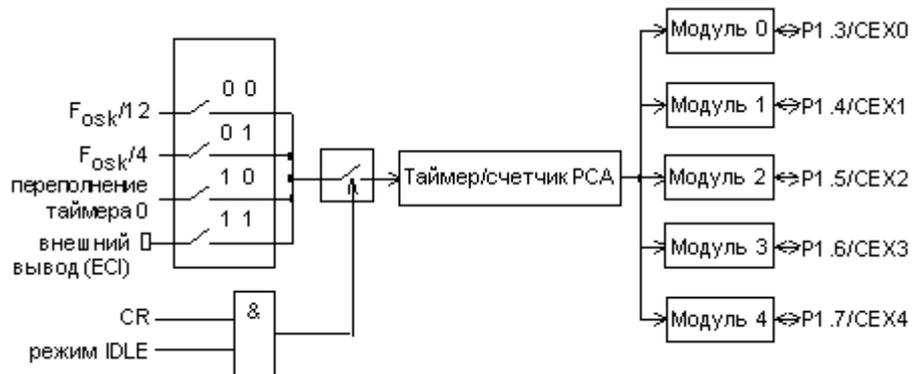


Рис. 6.5. Структура процессора событий МК семейства Intel 8xС51Fх

Тема 7: «Аппаратные средства микроконтроллеров»

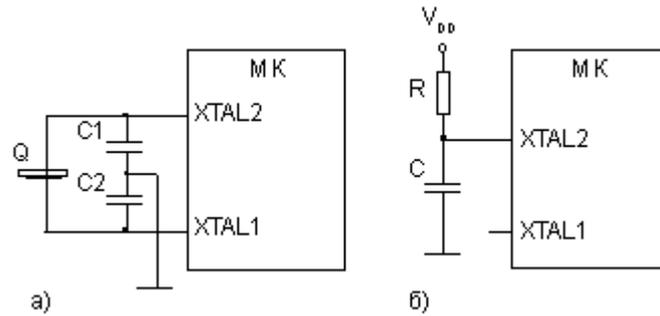


Рис. 7.1. Тактирование с использованием кварцевого или керамического резонаторов (а) и с использованием RC-цепи (б).

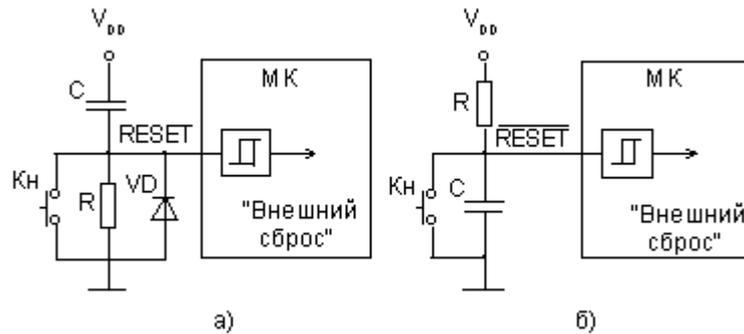


Рис. 7.2. Типовые схемы формирования сигнала внешнего сброса для МК с высоким активным уровнем сигнала сброса (а) и низким активным уровнем сигнала сброса (б).

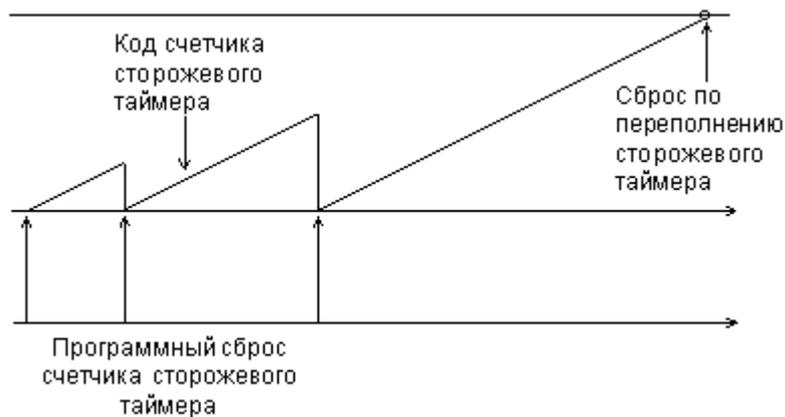


Рис. 7.3. – Принцип действия сторожевого таймера.

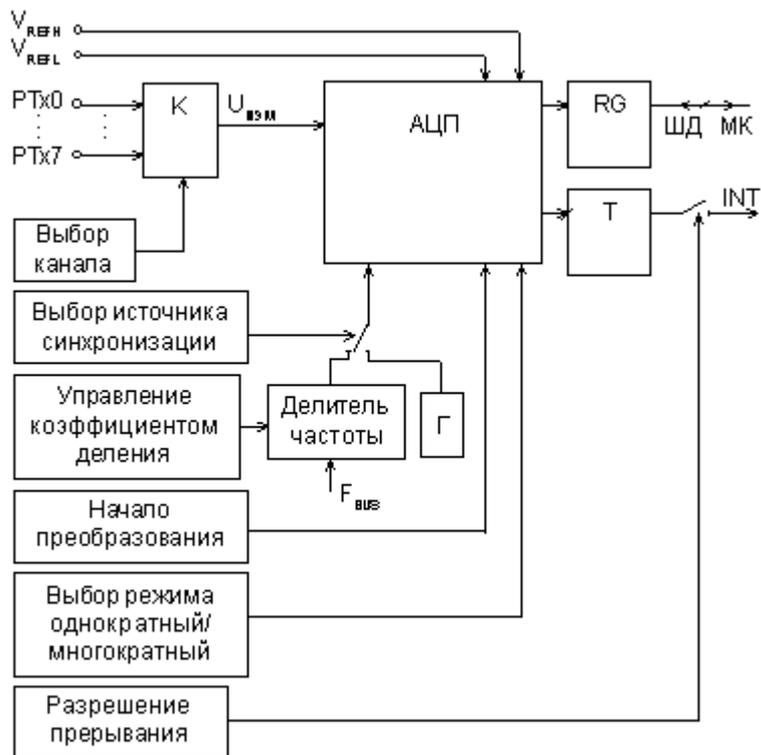


Рис. 7.4. Структура модуля АЦП.

Практика 2: «Функционирование МПС. Адресация и ее особенности, регистры»

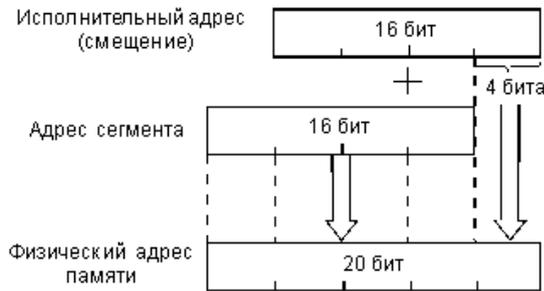


Рис. п2.1. Формирование физического адреса.

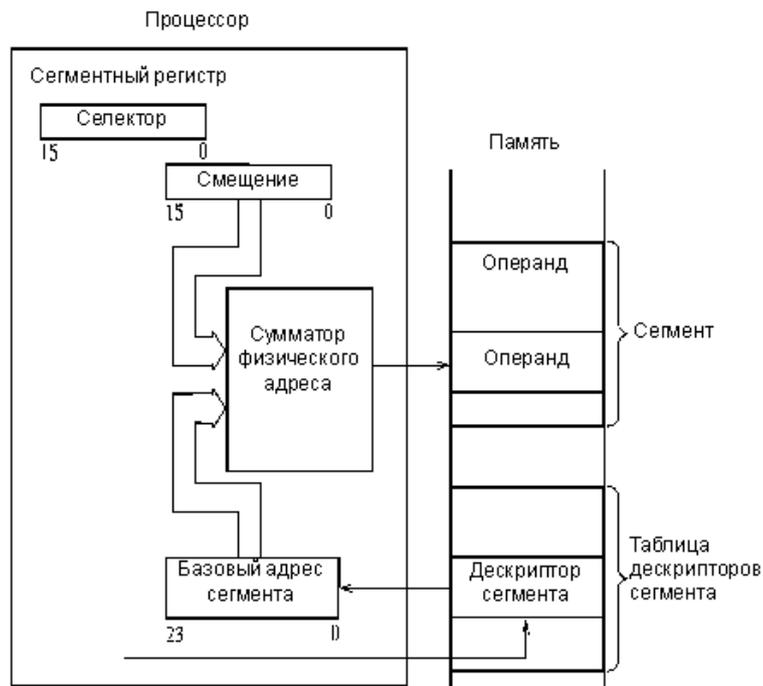


Рис. п2.2. Адресация в защищенном режиме 80286.

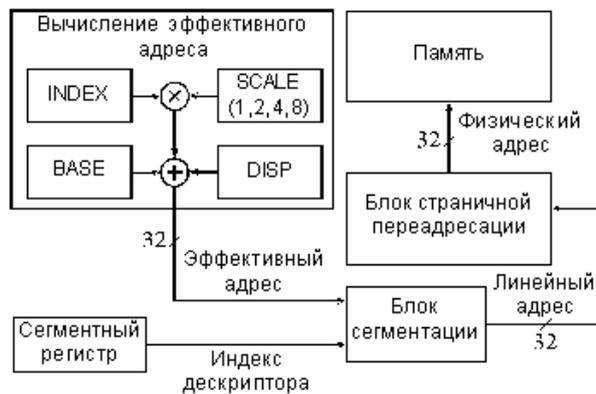


Рис. п2.3. Адресация в защищенном режиме 80386

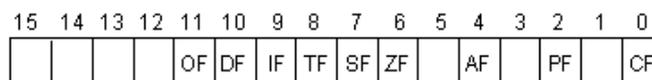


Рис. п2.4. Регистр состояния процессора 8086.

Практика 9: «Проектирование устройств на микроконтроллерах».

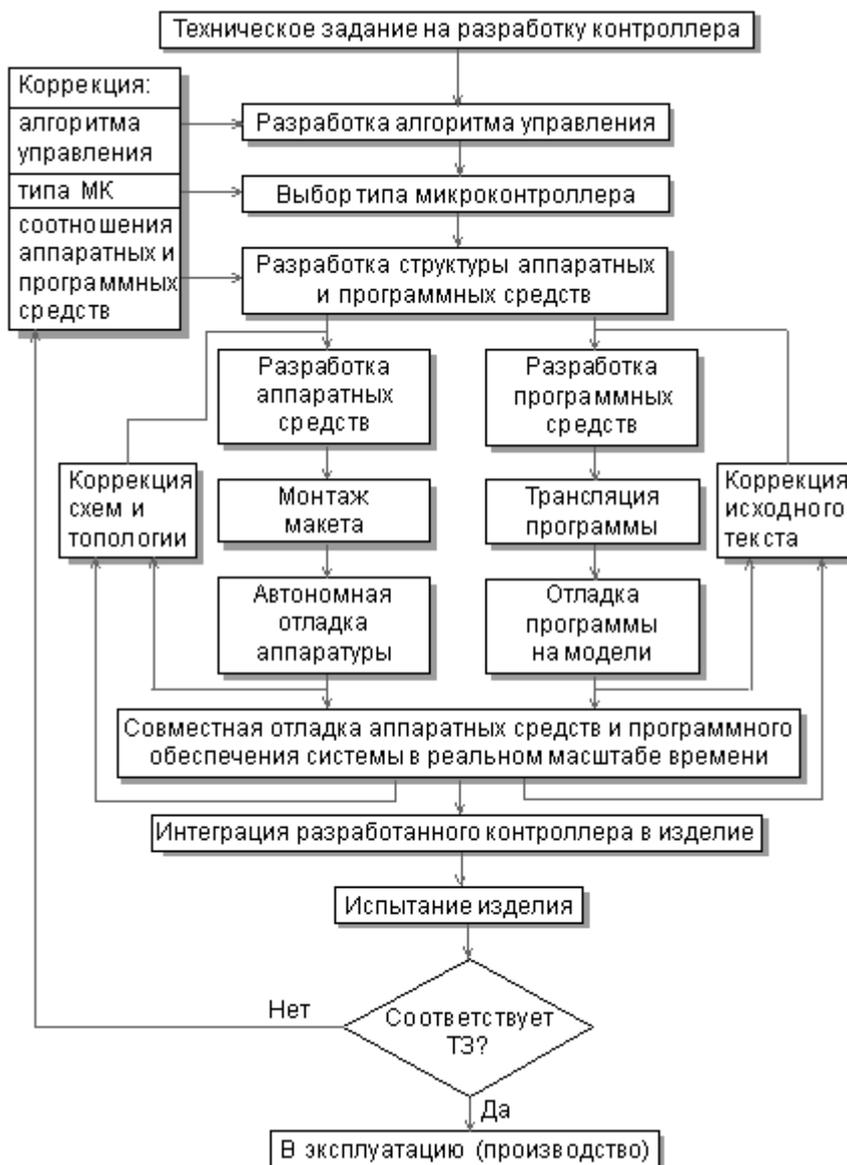


Рис. п9.1. Основные этапы разработки контроллера.